

FPGA における非同期式設計と評価

佐々木 明彦 阿部 公輝

電気通信大学 情報工学科

1 はじめに

現在において非同期式設計は同期式設計と比較して、開発ツールが未整備であり、またカスタム LSI をターゲットとする開発が主流であるためプロトタイピングを行うことが難しい。

そこで同期式設計で既に広く利用されている FPGA とその開発環境が非同期式設計にも利用できれば、これらの問題を解消することができると考えられる。

本研究では、FPGA の構造と遅延について調査して FPGA において非同期式設計が可能であることを確認し、非同期束データ方式の基本的な回路を FPGA 上に実装する。また一般的に非同期システムの特徴 [1] とされている環境変動に対する耐性が FPGA 上に実装された非同期式回路にも見られることを、同等の同期式回路と比較することで確認する。

2 遅延の推定

非同期式設計では遅延モデルを満たすように遅延を制御する必要があるが、FPGA の既存の開発環境でそれが可能であるか調査する。

2.1 FPGA の構造

今回ターゲットとした Altera 社の APEX20K シリーズ [2] は次のような内部構造を持つ。

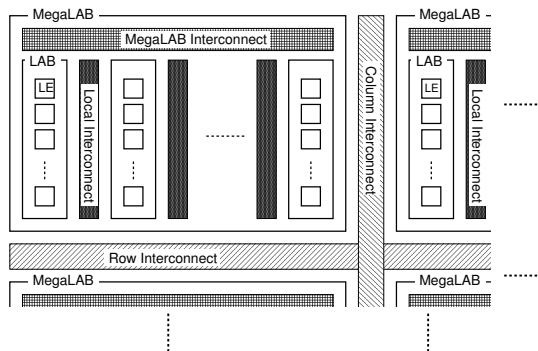


図 1: FPGA(Altera APEX20K シリーズ) の構造

最小のプログラム単位がロジック・エレメント (LE) であり、その集合としての LAB、MegaLAB と階層的な構造を持っている。また配線のためのインタコネクとも、ローカル、MegaLAB、カラム/ロウと階層的な

構造になっている。そのため配線遅延は、配線に使用されるインタコネクと、その距離によって決定すると考えられる。

2.2 遅延の測定実験

FPGA ではフロア・プランを編集し、LE の位置関係を変えることで配線遅延を制御することになる。そのため、フロア・プラン上で LE の位置関係を変えたときの遅延の変化が推定できることが望ましい。

そこで、使用するインタコネク毎に遅延を測定し、LE 間の距離から遅延を推定することが可能であるか調査する実験を行った。

2.3 結果

測定結果からは、ローカル・インタコネク以外のインタコネクにおいては、LE 間の距離に対してリニアな遅延の変化が見られた。表 1 は最小二乗法で求めた LE 間の距離と遅延の式である。

接続先の位置 (使用するインタコネク)	遅延 (ns)
同一あるいは隣接した LAB (ローカル)	0.22
同一 MegaLAB 内で x 離れた LAB (MegaLAB)	$0.827 + 0.0228x$
x 横に離れた MegaLAB (カラム)	$1.738 + 0.0264x$
x 縦に離れた MegaLAB (ロウ)	$1.649 + 0.917x$

表 1: ロジック・エレメントの位置関係と遅延

この結果はフロア・プラン上での移動量に対してリニアに遅延が変化することを表している。よって、遅延を推定してフロア・プランを編集することが可能であると言える。

3 データ転送方式と遅延モデル

非同期式設計で用いられるデータ転送方式は主に 2 線 2 相式と束データ方式である。

束データ方式の組合せ回路は同期式のものと同じであるため、FPGA に付随する同期式の開発環境が利用可能である。また、配線の分岐先への遅延が同時であると仮定する遅延モデルを用いる場合に、束データ方式の方が遅延調整のコストが小さい。

以上の理由から FPGA においては束データ方式を用いる方が実現性が高いと考えられ、今回の実装には束データ方式を採用した。

また、よく知られた遅延モデルには DI, QDI (Quasi-DI), SDI [1] などがあるが、今回は QDI モデルで実装を行った。

